

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010029703 A  
 (43)Date of publication of application: 06.04.2001

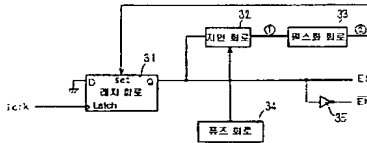
(21)Application number: 1020000024830	(71)Applicant: FUJITSU LIMITED
(22)Date of filing: 10.05.2000	(72)Inventor: SHINOZAKI NAOHARU
(30)Priority: 20.09.1999 JP 1999 266324	TOMITA HIROYOSHI
(51)Int. Cl. G11C 11/401	

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

## (57) Abstract:

PURPOSE: To provide an input circuit in which current consumption is less in a semiconductor integrated circuit of a clock synchronizing type.

CONSTITUTION: This circuit has an input circuit which is activated by an activation signal and receiving an input signal and an activation signal generating circuit generating the activation signal, the activation signal generating circuit is constituted so that the input circuit is activated by making intermittently the activation signal an activation state for a period being shorter than a period of a clock signal and including a time corresponding to a setup time and a holding time of an input signal. As the input circuit is activated only for a limited time out of one period of a clock signal, current consumption can be decreased.



&amp;copy; KIPO &amp; JPO 2002

## Legal Status

Date of final disposal of an application (00000000)

Date of registration (00000000)

Date of opposition against the grant of a patent (00000000)

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
G11C 11/401

(11) 공개번호 특2001-0029703  
(43) 공개일자 2001년04월06일

(21) 출원번호	10-2000-0024830
(22) 출원일자	2000년05월10일
(30) 우선권주장	99-266324 1999년09월20일 일본(JP)
(71) 출원인	후지쯔 가부시끼가이샤 아끼구사 나오후미
(72) 발명자	일본국 가나가와켄 가와사키시 나카하라구 가미코다나카 4초메 1-1 도미타히로요시 일본가나가와켄가와사키시나카하라구가미코다나카4-1-1후지쓰가부시끼가이 샤나미 신오자키나오후루 일본가나가와켄가와사키시나카하라구가미코다나카4-1-1후지쓰가부시끼가이 샤나미
(74) 대리인	조태연, 김성택, 김승호

심사청구 : 없음

(54) 반도체 집적 회로

요약

본 발명은 클록 동기형의 반도체 집적 회로에 관한 것으로, 소비 전류가 보다 적은 입력 회로를 제공하는 것을 목적으로 한다.

활성화 신호에 의해 활성화되어 입력 신호를 수취하는 입력 회로와, 상기 활성화 신호를 생성하는 활성화 신호 발생 회로를 구비하며, 상기 활성화 신호 생성 회로는, 클록 신호의 주기보다 짧고 또 입력 신호의 셋업 시간 및 홀드 시간에 대응하는 시간을 포함하는 기간동안 간헐적으로 상기 활성화 신호를 활성 상태로 하여, 입력 회로를 활성화하도록 구성한다. 입력 회로는 클록 신호 1 주기 중에서 제한된 시간동안만 활성화되기 때문에 소비 전류를 저하시키는 것이 가능하다.

도표도

도5

명세서

도면의 간단한 설명

- 도 1은 종래의 입력 버퍼 회로를 나타내는 도면.
- 도 2는 셋업 시간, 홀드 시간을 나타내는 타이밍도.
- 도 3은 본 발명의 SDRAM의 블록도.
- 도 4는 본 발명의 입력 버퍼의 제1 실시 형태를 나타내는 도면.
- 도 5는 본 발명의 활성화 신호 발생 회로의 제1 실시 형태를 나타내는 도면.
- 도 6은 도 5의 활성화 신호 발생 회로의 타이밍도.
- 도 7은 CAS 레이턴시, 최대 클록 주파수와 셋업 시간·홀드 시간과의 관계의 일례를 나타내는 도면.
- 도 8은 본 발명의 지연 회로의 제1 실시 형태를 나타내는 도면.
- 도 9는 본 발명의 지연 회로의 제2 실시 형태를 나타내는 도면.
- 도 10은 본 발명의 펄스화 회로의 제1 실시 형태를 나타내는 도면.
- 도 11은 본 발명의 펄스 회로의 제1 실시 형태를 나타내는 도면.
- 도 12는 본 발명의 활성화 신호 발생 회로의 제2 실시 형태를 나타내는 도면.
- 도 13은 본 발명의 펄스 회로의 제2 실시 형태를 나타내는 도면.
- 도 14는 본 발명의 활성화 신호 발생 회로의 제3 실시 형태를 나타내는 도면.
- 도 15는 도 14의 활성화 신호 발생 회로의 타이밍도

도 16은 본 발명의 입력 버퍼의 제2 실시 형태를 나타내는 도면.

도 17은 본 발명의 입력 버퍼의 제3 실시 형태를 나타내는 도면.

〈도면의 주요부분에 대한 부호의 설명〉

- 1, 21, 151, 171 : 입력 회로
- 2 : 래치 회로
- 3, 11 : 클록 버퍼
- 12 : 커맨드 버퍼/레지스터
- 13 : 어드레스 버퍼/레지스터 & 뱅크 선택 회로
- 14 : I/O 데이터 버퍼/레지스터
- 16, 93 : 모드 레지스터
- 31 : 래치 회로
- 32 : 지연 회로
- 33 : 펄스화 회로
- 34, 91, 92 : 퓨즈 회로
- 94 : 전환 스위치
- 121 : 가변 지연 회로
- 122 : 프로그래머블 지연 회로
- 123 : 더미 클록 버퍼
- 124 : 위상 비교부
- 125 : 지연 제어 회로

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적 회로에 관한 것으로, 구체적으로는 소비 전류가 적은 입력 회로를 갖는 클록 동기형의 반도체 메모리에 관한 것이다. 최근, 싱크로너스·다이나믹형 랜덤 액세스 메모리(이하, SDRAM으로 칭함)에 대하여 저소비 전력의 요청이 높아지고 있다. 이에 따라, SDRAM의 입력 버퍼에 대해서도 소비 전류를 적게 할 필요가 있다.

도 1에 종래의 입력 버퍼 회로를 도시한다. 도 1의 입력 버퍼 회로는 외부 단자에 인가되는 입력 신호(예컨대, 어드레스 신호, 컨트롤 신호, 데이터 신호)를 수신하는 입력 회로(1), 및 그 입력 회로에서 출력되는 신호를 내부 클록 신호(ick)에 동기하여 래치하는 래치 회로(2)로 구성되어 있다. 래치 회로(2)의 출력은 내부 회로에 공급된다. 도 1에 있어서, 3은 클록 단자에 인가되는 외부 클록(CLK)을 수신하여 내부 클록(ick)을 각 내부 회로에 공급하는 클록 버퍼 회로이다.

입력 회로(1)는 예컨대 CMOS 인버터로 구성되어 있다. 또한, 래치 회로(2)는 입력이 입력 회로(1)의 출력에 접속된 인버터(4), 입력 및 출력이 각각 상기 인버터(4)의 출력 및 입력에 교차 접속된 인버터(5), 및 인버터(5)의 출력과 인버터(4)의 입력 사이에 설치되며, 병렬 접속된 PMOS 트랜지스터(P01) 및 NMOS 트랜지스터(n01)로 이루어진 트랜스퍼 스위치로 구성되어 있다. 이 트랜스퍼 스위치는 내부 클록(ick)에 응답하여 온/오프 제어된다.

입력 회로(1)는 외부 단자에 인가된 입력 신호를 수신하여, 그의 논리 레벨을 반전한 신호를 출력한다. 그리고, 외부 클록 신호(CLK)의 상승에 동기한 내부 클록(ick)에 응답하여 트랜스퍼 스위치가 온 되면, 래치 회로(2)는 입력 회로(1)의 출력을 래치한다.

##### 발명이 이루고자하는 기술적 과제

도 1과 같은 종래의 입력 버퍼 회로에 있어서, 입력 회로(1)는 항상 전원선에 접속되어 항상 동작하도록 구성되어 있었다. 이 때문에, 종래의 입력 회로(1)는 많은 전류를 소비하였다. 도 1과는 다른 일례로서, 파워 다운 모드시 입력 회로를 비활성 상태로 함으로써 소비 전류를 절감한 입력 회로가 알려져 있다.

그러나 최근, SDRAM의 저소비 전력화에 대한 요청이 높아지고 있고, 입력 버퍼 회로에 대해서도 저소비 전력 대책이 필요해지고 있다.

따라서, 본 발명은 소비 전류가 적은 반도체 집적 회로를 제공하는 것을 목적으로 한다. 보다 구체적으로는, 클록 동기형의 반도체 집적 회로에 있어서 소비 전류를 적게 하는 것을 목적으로 한다. 또한, 본 발명은 소비 전류의 적은 SDRAM을 제공하는 것을 목적으로 하며, SDRAM의 클록 동기형 입력 회로의 소비

전류를 절감하는 것을 목적으로 한다.

#### 발명의 구성 및 작용

도 2는 입력 회로의 셋업 시간 및 홀드 시간을 설명하기 위한 타이밍도이다. 클록 동기형의 반도체 집적 회로에서는 외부 클록(CLK)의 상승 타이밍에 응답하여 입력 신호(어드레스 신호, 컨트롤 신호 등)를 취득하여 래치한다. 그리고, 입력 신호는 이하의 이유로 셋업 시간 및 홀드 시간 동안 하나의 논리치를 확정할 필요가 있다.

즉, 도 1의 예에 있어서, 래치 회로(2)가 외부 클록 CLK에 동기하여 외부 단자에 인가되는 입력 신호를 래치하기 위해서는, 래치 회로(2)가 내부 클록(ick)의 상승에 응답하여 래치 동작을 개시하기 전에, 외부 단자에 인가된 입력 신호가 입력 회로(1)를 통해 래치 회로(2)의 입력에 도달하고 그 래치 회로(2)의 입력 신호의 논리치가 확정되어 있을 필요가 있다.

여기서, 외부 단자에 인가된 입력 신호는 입력 회로(1) 등의 몇 개의 회로를 경유하여 래치 회로(2)에 전송된다. 또한, 도 1에 있어서 입력 회로(1)가 신호의 출력을 개시하고 나서 래치 회로(2)의 입력이 확정할 때까지 약간의 시간을 필요로 한다. 그 때문에, 도 2에 나타내는 바와 같이, 외부 단자에 인가되는 입력 신호의 논리치는 외부 클록 CLK의 상승보다도, 적어도 셋업 시간( $t_s$ ) 분전에 확정시켜 놓을 필요가 있다.

한편, 래치 회로(2)의 래치 출력이 확정할 때까지, 래치 회로(2)의 입력 신호는 유지되어 있어야 한다. 즉, 도 1에 있어서 클록 버퍼(3)가 외부 클록(CLK)에서 내부 클록(ick)을 생성하는 데 일정 시간이 필요하고, 또한, 내부 클록(ick)이 클록 버퍼(3)로부터 래치 회로(2)에 전달되는 데 소정의 시간이 필요하다. 만일, 외부 클록(CLK)의 상승 직후에 입력(1) 신호를 소실시켜 버리면, 래치 회로(2)가 내부 클록(ick)에 응답하여 래치 동작을 개시하는 시점에서, 래치 회로(2)의 입력 노드에 있어서 입력 신호는 이미 소실되어 버려져 있고, 래치 회로(2)는 입력 신호를 정상적으로 래치할 수 없다.

따라서, 외부 단자에 인가된 입력 신호는 외부 클록(CLK)이 상승한 후에도, 도 2의 홀드 시간에 상당하는 기간동안 유지할 필요가 있다.

이상의 이유로, 입력 회로에는 외부 클록 신호의 상승 타이밍을 기준으로 하여 셋업 시간( $t_s$ )과 홀드 시간( $t_h$ )이 규정되어, 이 기간 동안 입력 신호의 논리 레벨은 확정되어 있을 필요가 있다.

이 때문에, 도 1의 입력 회로는 상기 셋업 시간 및 홀드 시간에 상당하는 기간동안 활성화되어 있을 필요가 있다. 반면, 그 이외의 기간 입력 회로(1)를 활성화시켜 놓아도, 그 기간 동안 입력 회로(1)는 전류를 쓸데없이 소비하고 있을 뿐이다.

본 발명은 이와 같이 입력 회로(1)를 활성화시켜야 하는 기간은 외부 클록 1주기보다 짧은 기간(셋업 시간+홀드 시간)동안만 활성화되는 것으로 충분하기 때문에, 그 필요한 기간만 입력 회로(1)를 활성화하고 그 밖의 기간은 입력 회로를 비활성으로 함으로써 입력 회로(1)의 소비 전류를 삭감하고자 하는 것이다.

즉, 상기 과제를 해결하기 위해서, 본 발명에 있어서 입력 회로는 입력 회로의 셋업 시간 및 홀드 시간에 대응하는 시간에 한하여 간헐적으로 활성화된다. 입력 회로는 셋업 시간 및 홀드 시간에 대응하는 기간 동안 활성화되어 있기 때문에, 종래와 같이 입력 신호를 클록 신호에 동기하여 정상적으로 래치할 수 있다. 한편, 그 이외의 기간동안 입력 회로는 비활성 상태이기 때문에, 입력 회로의 소비 전류를 적게 할 수 있다.

또한, 본 발명의 입력 회로의 출력은 비활성 상태시 하이·임피던스 상태가 된다. 이에 따라, 입력 회로가 비활성 상태시, 전원선과 입력 회로의 출력선 사이에 전류가 흐르는 것을 방지할 수 있고, 소비 전류를 적게 할 수 있다.

또한, 본 발명은 입력 회로로부터의 출력 신호를 래치하는 래치 회로를 갖는다. 래치 회로를 구성하는 2개의 인버터 중 출력이 래치 회로의 입력에 접속되어 있는 쪽의 제2 인버터는 래치 회로가 비활성 상태시 하이·임피던스 상태가 된다. 이에 따라, 래치 회로가 비활성 상태시, 래치 회로의 입력 배선과 전원선과의 사이에 제2 인버터를 통해 전류가 흐르는 것을 방지할 수 있고, 소비 전류를 적게 할 수 있다.

또한, 본 발명에서는 입력 회로를 활성화하는 활성화 신호를 생성하기 위한 활성화 신호 생성 회로를 갖는다. 이 활성화 신호 생성 회로는 활성화 신호의 활성화 타이밍을 조정하기 위한 지연 회로를 갖는다. 이 지연 회로의 지연 시간은 프로그래밍 가능하고, 입력 회로의 셋업 시간의 이전에 활성화 신호가 활성화 상태로 천이하도록 그 지연 시간이 프로그래밍된다. 이와 같이 지연 회로의 지연 시간을 설정함으로써, 입력 회로의 소비 전류를 절감할 수 있다.

또한, 다른 실시 형태에 있어서, 상기 지연 회로의 지연 시간은 CAS 대기 시간(latency)에 응답하여 전환 가능하게 구성되어 있다. 선택된 CAS 대기 시간에 응답하여 입력되는 외부 클록의 최대 주파수는 변화된다. 지연 회로의 지연 시간(즉 활성화 신호의 활성화 타이밍)을 외부 클록의 최대 주파수에 응답하여 전환함으로써, 입력 회로의 저소비 전류화의 효과를 보다 향상시킬 수 있다.

또한, 또 다른 실시 형태의 활성화 신호 생성 회로는 입력되는 외부 클록의 주파수에 상관없이 활성화 신호의 활성화 상태의 기간이 일정해지도록 제어한다. 이 활성화 상태의 기간을 입력 회로의 셋업 시간과 홀드 시간의 합계 시간과 대응시킴으로써, 입력 회로의 소비 전류 삭감의 효과를 최대한 인출할 수 있다.

본 발명의 입력 버퍼 회로의 실시 형태를 설명하기 전에, 본 발명이 적용되는 SDRAM의 개략적인 전체 구성을 도 3을 이용하여 설명한다.

도 3에 있어서, 11은 클록 버퍼, 12는 커맨드 버퍼/레지스터, 13은 어드레스 버퍼/레지스터 및 뱅크 선택 회로, 14는 I/O 데이터 버퍼/레지스터, 15는 제어 신호 래치, 16은 모드 레지스터, 17은 컬럼 어드레스 카운터, 18은 DRAM 코어, 19는 I/O 버스를 각각 나타내고 있다.

또한, CLK는 외부 클록, iclk는 내부 클록, CKE는 클록 이네이블 신호, /CS, /RAS, /CAS, /WE는 컨트롤 신호, A<sub>0</sub>~A<sub>n</sub>는 어드레스 신호, DQ<sub>0</sub>~DQ<sub>7</sub>는 데이터 신호를 각각 나타내고 있다.

클록 버퍼(11)는 외부 클록(CLK)을 버퍼링하여 내부 클록(iclk)을 생성하고, 이 내부 클록(iclk)을 SDRAM 내의 각 기능 블록에 공급한다. 각 기능 블록은 이 내부 클록(iclk)에 동기하여 동작한다. 또한, 클록 버퍼(11)는 클록 이네이블 신호(CKE)를 수신한다. 클록 버퍼(11)가 L 레벨의 클록 이네이블 신호(CKE)를 수신하면, SDRAM은 파워 다운 모드에 들어가, 입력 회로를 포함한 SDRAM 내의 각 회로가 비활성화되어, 소비 전력이 억제된다.

커맨드 버퍼/레지스터(12)는 내부 클록 신호(iclk)에 동기하여 컨트롤 신호/CS, /RAS, /CAS, /WE를 취득 래치한다. 이들 컨트롤 신호는 도시하지 않는 커맨드 디코더로 디코드되어, SDRAM의 동작 모드가 결정된다.

어드레스 버퍼/레지스터 및 뱅크 선택 회로(13)는 내부 클록(iclk)에 동기하고 어드레스 신호(A<sub>0</sub>~A<sub>n</sub>)를 취득하여 래치한다. 또한, 어드레스 신호 중 신호 A<sub>n</sub>는 후술하는 뱅크를 선택하기 위한 뱅크 어드레스이며, 도 3의 예에서는 이 뱅크 어드레스에 의해 뱅크 0이나 뱅크 1 중 한쪽이 선택된다.

I/O 데이터 버퍼/레지스터(14)는 내부 클록(iclk)에 동기하여 데이터 신호(DQ<sub>0</sub>~DQ<sub>7</sub>)를 입출력한다.

제어 신호 래치(15)는 커맨드 버퍼/레지스터로 특정된 동작 모드에 응답하여 DRAM 코어(18)에 대하여 각종 내부 제어 신호(RAS, CAS, WE)를 출력한다.

모드 레지스터(16)는 외부에서 지정된 동작 모드(버스트 길이, 버스트 타입, CAS 대기 시간)를 기억한다. 또한, CAS 대기 시간은 SDRAM이 데이터 판독 동작을 행할 때, 리드 커맨드(복수의 컨트롤 신호의 값의 조합에 의하여 특정됨)를 입력하고 나서 몇 클록변수에 데이터 출력 단자에 판독 데이터가 나타나는가를 나타내는 것이다. 이들 동작 모드는 모드 레지스터 세트 커맨드를 입력하는 것과 동시에, 특정 어드레스 외부 단자에 동작 모드를 지정하는 신호를 인가하는 것으로 모드 레지스터에 기억된다.

컬럼 어드레스 카운터(17)는 동작 모드가 버스트 리드(또는 버스트 라이트)일 때, 모드 레지스터(16)에 기억된 버스트 길이, 버스트 타입에 따른 내부 컬럼 어드레스를 생성한다.

DRAM 코어(18)는 2개의 뱅크(뱅크 0 및 뱅크 1)로 구성되며, 각 뱅크는 각각 DRAM 메모리 셀 어레이와, 로우 어드레스에 기초하여 메모리 셀 어레이 중 특정한 워드선을 선택하는 로우 디코더와, 컬럼 어드레스에 기초하여 메모리 셀 어레이 중 특정한 비트선을 데이터 버스에 선택적으로 접속하는 컬럼 디코더와, 판독 동작시에 데이터 버스에 판독된 데이터를 증폭하여 I/O 버스에 출력하는 센스 버퍼와, 기록 동작시에 I/O 버스에 나타난 기록 데이터를 증폭하여 데이터 버스에 출력하는 기록 앰프(write amplifier)를 포함한다.

이들 DRAM 코어내의 각 기능 회로는 내부 제어 신호(RAS, CAS, WE)에 기초하여 그 동작이 제어된다.

본 발명의 입력 버퍼 회로는 도 3중의 커맨드 버퍼, 어드레스 버퍼 및 입력 데이터 버퍼에 적용 가능하다.

도 4는 본 발명의 입력 버퍼의 제1 실시 형태를 나타내는 회로도이다.

도 4에 있어서, 21은 입력 회로, 22는 래치 회로, 23은 제1 인버터, 24는 제2 인버터, P11-P14는 PMOS 트랜지스터, n11-n14는 NMOS 트랜지스터를 각각 나타내고 있다.

입력 회로(21)는 고전원선(V<sub>dd</sub>)과 저전원선(V<sub>ss</sub>)(GND) 사이에 직렬 접속된 PMOS 트랜지스터(P11)와 NMOS 트랜지스터(n11)로 구성되는 CMOS 인버터를 포함한다. 이 CMOS 인버터의 입력 노드(PMOS 트랜지스터(P11)의 게이트 및 NMOS 트랜지스터(n11)의 게이트)는 외부 단자에 접속되어 있고, 이 외부 단자에는 입력 신호(어드레스 신호, 컨트롤 신호, 데이터 신호)가 인가된다. 입력 신호는 CMOS 레벨(전형적으로 V<sub>dd</sub>~V<sub>ss</sub>의 진폭을 가짐)이다.

이 입력 회로(21)에는 CMOS 인버터와 직렬로 PMOS 트랜지스터(P12) 및 NMOS 트랜지스터(n12)가 설치되어 있다. 이들의 트랜지스터(p12, n12)의 게이트는 각각 활성화 신호(/EN, EN)를 수신한다. 이 활성화 신호(/EN, EN)는 상보 신호이며, EN이 H 레벨(/EN은 L 레벨)일 때, PMOS 트랜지스터(P12) 및 NMOS 트랜지스터(n12)는 함께 온 되어, 입력 회로(21)는 활성 상태가 되며, CMOS 인버터는 입력 신호의 논리 레벨을 반전하여 출력 노드(n-01)에 출력한다.

한편, EN이 L 레벨(/EN은 H 레벨)일 때, PMOS 트랜지스터(P12) 및 NMOS 트랜지스터(n12)는 함께 오프 되어, 입력 회로(21)는 비활성 상태가 된다. 이때, 고전원선(V<sub>dd</sub>)과 출력 노드(n-01) 사이 및 저전원선(V<sub>ss</sub>)과 출력 노드(n-01) 사이는 각각 PMOS 트랜지스터(P12) 및 NMOS 트랜지스터(n12)에 의해 차단된다. 따라서, 출력 노드(n-01)가 어느 쪽의 전위를 갖더라도 고저전원선(V<sub>dd</sub>, V<sub>ss</sub>)과 출력 노드(n-01)의 사이에 전류가 흐르지 않아, 소비 전류의 증가를 억제하고 있다.

입력 회로(21)의 출력 노드(n-01)는 래치 회로(22)에 접속되어 있다. 이 래치 회로(21)는 입력이 상기 출력 노드(n-01)에 접속된 제1 CMOS 인버터(23)와, 입력 및 출력이 각각 제1 CMOS 인버터의 출력 및 입력에 접속된 제2 CMOS 인버터(24)로 구성되어 있다.

제2 CMOS 인버터(24)는 고전원선(V<sub>dd</sub>)과 저전원선(V<sub>ss</sub>)의 사이에 직렬 접속된 PMOS 트랜지스터(P13) 및 NMOS 트랜지스터(n13)를 포함한다. 이 제2 CMOS 인버터(24)의 입력(PMOS 트랜지스터(P13) 및 NMOS 트랜지스터(n13)의 게이트)는 제1 CMOS 인버터(23)의 출력에 접속되어 있다.

제2 CMOS 인버터(24)는 또한, PMOS 트랜지스터(P13) 및 NMOS 트랜지스터(n13)와 직렬 접속된 PMOS 트랜지스터(P14) 및 NMOS 트랜지스터(n14)를 갖는다. 이들 트랜지스터의 게이트는 활성화 신호(EN, /EN)를 수신한다.

활성화 신호(EN)가 L 레벨시, PMOS 트랜지스터(P14) 및 NMOS 트랜지스터(n14)는 함께 온 되어, 래치 회로(22)는 출력 노드(n-01)에 나타난 신호를 래치한다. 한편, 활성화 신호(EN)가 H 레벨일 때, PMOS 트랜지스터(P14) 및 NMOS 트랜지스터(n14)는 함께 오프 되어, 제2 CMOS 인버터(24)는 비활성 상태가 되고 래치 회로(22)는 비래치 상태가 된다.

도 4의 입력 버퍼 회로는 활성화 신호(EN, /EN)에 응답하여 다음과 같이 동작한다.

활성화 신호(EN)가 H 레벨 (/EN은 L 레벨)일 때, 입력 회로(21)는 활성 상태가 되고, 입력 회로는 입력 신호의 논리 레벨을 반전하여 출력 노드(n-01)에 출력한다. 이때, 제2 CMOS 인버터(24)는 비활성 상태이기 때문에, 래치 회로(22)는 비래치 상태가 되어, 제1 CMOS 인버터(23)는 출력 노드(n-01)의 신호의 논리 레벨을 반전하여 노드(n-02)에 출력한다.

계속해서, 활성화 신호(EN)가 H 레벨로부터 L 레벨로 천이하면, 입력 회로(21)는 비활성 상태가 된다. 상승한 바와 같이, 이때 고저전원선(Vdd, Vss)과 출력 노드(n-01)와의 사이에 전류는 흐르지 않는다. 한편, 활성화 신호(EN)가 L 레벨이 됨으로써 제2 CMOS 인버터(24)가 활성 상태가 되고, 래치 회로(22)는 출력 노드(n-01)의 신호를 래치한다. 또한, 이때, 출력 노드(n-01)와 전원선 Vdd (또는 Vss)은 PMOS 트랜지스터(P13, P14)(또는 NMOS 트랜지스터 (n13, n14))를 통해 접속되지만, 출력 노드는 그리고 동전위의 전원선에 접속되기때문에, 출력 노드(n-01)와 전원선의 사이에 전류가 흐르는 일은 없다.

활성화 신호(EN)는 후술하는 바와 같이 내부 클록 신호(ick)에 기초하여 생성되며, 내부 클록 신호(ick)는 외부 클록 신호(CLK)에 기초하여 생성되기 때문에, 래치 회로(22)는 외부 클록 신호(CLK)에 동기하여 입력 신호를 래치하고 있다.

그리고, 래치 회로(22)가 입력 신호를 래치하고 있는 동안, 입력 회로(21)는 비활성 상태가 되어, 그 동안 전류를 소비하지 않는다. 이와 같이 하여, 입력 회로(21)의 소비 전류의 절감을 도모하고 있다.

이 입력 회로(21)의 활성/비활성은 활성화 신호 발생 회로에서 생성되는 활성화 신호(EN, /EN)에 의해 제어된다.

도 5는 본 발명의 활성화 신호 발생 회로의 제1 실시 형태를 나타내고 있다.

도 5의 활성화 신호 생성 회로는 래치 회로(31), 지연 회로(32), 펄스화 회로(33), 퓨즈 회로(34) 및 인버터(35)로 구성되어 있다.

래치 회로(31)는 내부 클록(ick)의 상승에 응답하여, 데이터 입력 단자(D)의 L 레벨의 신호를 래치하여, 데이터 출력 단자(Q)에서 L 레벨의 활성화 신호 (EN)를 출력한다. 인버터(35)는 활성화 신호(EN)의 논리 레벨을 반전하여, 반전 활성화 신호(/EN)를 출력한다. 또한, 래치 회로(31)는 세트 신호 세트에 응답하여, 데이터 출력 단자(Q)의 신호를 H 레벨에 세트한다.

지연 회로(32)는 래치 회로(31)로부터 출력되는 활성화 신호(EN)를 소정 시간 지연시킨다. 지연 회로(32)의 지연 시간은 SDRAM 출하전의 시험 결과에 기초하여 퓨즈 회로(34)를 적당한 값에 프로그래밍함으로써 설정된다.

펄스화 회로(33)는 지연 회로(32)의 출력 신호의 하강에 응답하여, 일정 시간의 펄스폭을 갖는 세트 플러스를 생성한다. 이 세트 플러스가 래치 회로(31)의 세트 단자 set에 입력하면, 래치 회로(31)는 상승과 같이 세트된다.

도 6은 도 5의 활성화 신호 발생 회로의 타이밍도이다. 이 도 6을 이용하여, 도 5의 활성화 신호 발생 회로의 동작을 설명한다.

도 3의 클록 버퍼(11)는 입력되는 외부 클록(CLK)에 기초하여, 내부 클록(ick)을 생성한다. 클록 버퍼의 역할의 하나는 소전쪽으로 입력되는 외부 클록 (CLK)을 증폭하여, CMOS 레벨의 전폭이 큰 내부 클록(ick)을 생성하는 것에 있다. 클록 버퍼가 외부 클록(CLK)을 버퍼링함으로써, 도 6에 나타내는 바와 같이, 내부 클록(ick)의 위상은 외부 클록(CLK)의 위상보다도 소정 시간만 늦었다.

내부 클록(ick)의 상승(시각 t1)에 응답하여, 래치 회로(31)는 데이터 입력단자(D)의 L 레벨을 래치하여 데이터 출력 단자(Q)에 L 레벨의 활성화 신호(EN)를 출력한다. 이에 따라, 도 4의 입력 회로(21)는 비활성 상태가 된다.

도 6에서 알 수 있듯이, 클록 버퍼에 있어서의 지연 시간(외부 클록 (CLK)과 내부 클록(ick)의 시간차 : t1-t0)은 도 4의 입력 버퍼의 홀드 시간(th)에 대응하고 있다. 도 4의 예에서는 클록 버퍼에서의 지연 시간은 SDRAM의 입력 회로에 요구되는 홀드 시간과 거의 동일하거나 또는 그것보다 길다. 따라서, 도 4의 입력 버퍼의 입력 회로(21)는 요구되는 홀드 시간과 동일하거나 또는 그것보다 긴 기간동안 활성화된다.

활성화 신호(EN)의 하강 타이밍은 도 6에 나타내는 바와 같이 지연 회로(32)에 있어서 소정 시간 지연된다. 지연 회로(32)의 출력 노드 ①의 전위가 H에서 L로 하강하면(시각 t2), 펄스화 회로(33)는 일정 기간동안 H 레벨이 되는 세트 플러스를 노드(2)에 출력한다.

이 세트 플러스에 응답하여, 래치 회로(31)의 데이터 출력 단자(Q)는 H 레벨로 세트되고, 이에 따라 활성화 신호(EN)는 H 레벨로 천이하기 때문에, 도 4의 입력 회로(21)는 활성화된다. 이 활성화 신호(EN)가 H 레벨에 천이하고 나서 외부 클록(CLK)이 다음으로 상승하기까지의 기간은, 후술하는 바와 같이, SDRAM이 최대 주파수로 동작할 때에 필요로 되는 입력 회로의 셋업 시간(ts)과 동일하거나 또는 그것보다 긴 시간으로 설정된다.

도 7은 SDRAM에 있어서의 CAS 대기 시간, 최대 클록 주파수, 셋업 시간 (ts), 홀드 시간(th)의 관계를 나타낸 도면이다.

도 7에 있어서, CAS 대기 시간의 값이 커짐에 따라서, 입력되는 외부 클록 (CLK)의 최대치(최대 클록 주

파수)가 높아지는 것을 알 수 있다. 즉, CAS 대기 시간이 1의 경우 최대 클럭 주파수는 33 MHz인 데 대하여, CAS 대기 시간이 3의 경우 최대 클럭 주파수는 100 MHz로 되어 있다. 한편, 도 7의 예에서는 CAS 대기 시간 값에 상관없이 셋업 시간 및 홀드 시간의 값은 2 ns로 일정하다.

또한, 도 7에 있어서의 셋업 시간 및 홀드 시간으로서의 2 ns는 카타로그치이다. 한편, 입력 회로의 셋업 시간 및 홀드 시간의 실제 값은 이 카타로그치보다 짧은 것이 통상이다. 따라서, 본 발명의 청구항의 셋업 시간 및 홀드 시간은 엄밀히는 상기 실제 값을 나타낸다. 그러나, 이하의 설명에서는 편의적으로 셋업 시간 및 홀드 시간으로서 카타로그치로서의 2 ns를 사용하여 설명한다.

도 7에서, 셋업 시간( $t_s$ )은 외부 클럭 주파수에 상관없이, 2 ns 필요한 것을 알 수 있다. 바꿔 말하면, 활성화 신호(EN)는 외부 클럭(CLK)의 상승 타이밍보다도 적어도 2 ns(보다 엄밀히는 입력 회로의 셋업 시간으로서 필요한 시간(2 ns보다 짧다))전에 활성화 상태로 천이해야 한다.

도 6에서 외부 클럭(CLK)의 주기( $t_{CLK}$ )는 클럭 버퍼의 지연 시간( $t_{1-t0}$ ), 지연 회로(32)에서의 지연 시간( $t_{2-t1-t_d}$ )과, 래치 회로(31)가 리셋되고 나서 다음에 외부 클럭(CLK)이 상승하기까지의 시간( $t_{3-t2}$ )의 합과 거의 같은 것임을 알 수 있다.

도 7의 예에서, 셋업 시간 및 홀드 시간은 각각 2 ns 필요하기 때문에, 클럭 버퍼의 지연 시간( $t_{1-t0}$ )을 홀드 시간 2 ns로 래치 회로(31)가 세트되고 나서 다음에 외부 클럭(CLK)이 상승하기까지의 시간( $t_{3-t2}$ )을 셋업 시간 2 ns로 설정하고자 하는 경우, 지연 회로(32)에서의 지연 시간은 외부 클럭(CLK)의 주기로부터  $2\text{ ns} + 2\text{ ns} = 4\text{ ns}$  분을 뺀 값으로 설정될 수 있다. 한편, 도 7에서 외부 클럭(CLK)의 최소 클럭 주기는 10 ns 이기 때문에, 결과로서, 지연 회로(32)의 지연 시간은  $10\text{ ns} - 4\text{ ns} = 6\text{ ns}$ 로 설정될 수 있다.

이와 같이, 외부 클럭의 주파수가 100 MHz (주기: 10 ns)일 때, 지연 회로(32)의 지연 시간을 6 ns로 설정하면, 활성화 신호(EN)의 활성화 시간은 4 ns가 되며, 이 시간은 도 4의 입력 회로(21)를 활성화하는 데 필요한 최소 시간(셋업 시간 2 ns + 홀드 시간 2 ns = 4 ns)과 거의 동일하기 때문에, 입력 회로(21)가 소비하는 전류를 최소로 할 수 있다.

한편, 외부 클럭의 주파수가 33 MHz (주기: 30 ns)의 경우, 활성화 신호 생성 회로의 제1 실시 형태에서는 지연 회로(32)의 지연 시간은 6 ns로 고정이기 때문에, 활성화 신호의 활성화 기간은  $30\text{ ns} - 6\text{ ns} = 24\text{ ns}$ 가 되며, 입력 회로(21)를 활성화하는 데 최저한 필요한 4 ns에 비교하여 꽤 길어진다. 그러나, 외부 클럭(CLK)의 1 주기: 30 ns 중 6 ns 사이는 입력 회로(21)를 비활성 상태로 할 수 있기 때문에, 종래와 비교하여 입력 회로(21)의 소비 전류를 절감할 수 있다.

이와 같이, 본 발명의 활성화 신호 발생 회로의 제1 실시 형태에서는 외부 클럭(CLK)의 주파수가 높을수록(주기가 짧을수록), 활성화 신호(EN)의 활성화 기간이 줄어들기 때문에, 입력 회로(21)의 소비 전류 삭감의 효과는 보다 커진다고 할 수 있다.

또한, 이 제1 실시 형태에서는 지연 회로(32)의 지연 시간을 외부 클럭 (CLK)이 최대 주파수일 때, 활성화 신호(EN)의 활성화 기간이 입력 회로가 요구하는 셋업 시간과 홀드 시간을 포함하여, 그 셋업 시간과 홀드 시간의 합계 시간에 될 수 있는 한 근사한 값이 되도록 설정하는 것이 중요하다.

도 7의 예에서는 최대 클럭 주파수: 100 MHz에 대응하여, 지연 회로(32)의 지연 시간을 상술된 바와 같이 6 ns로 설정하고 있다. 만일, 지연 회로(32)의 지연 시간을 6 ns보다 길게 설정하여 버리면, 외부 클럭(CLK)의 주파수가 100 MHz인 경우에 활성화 신호(EN)의 활성화 기간이 입력 회로에 요구되는 셋업 시간과 홀드 시간의 합: 4 ns보다 짧아져 버려, SDRAM의 정확한 동작이 보증되지 않게 되어 버린다.

도 8은 도 5의 활성화 신호 발생 회로의 제1 실시 형태에서 지연 회로(32)의 구체 회로의 예를 나타내고 있다.

도 8에 있어서, 41 및 42는 각각 CMOS 인버터, 43은 저항, n41-n44는 NMOS 트랜지스터, c41-c44는 커패시터를 각각 나타내고 있다.

도 8의 지연 회로(32)는 저항(43)과 커패시터(c41-c44)로 CR 지연 회로를 구성하고 있다. 도면에서, 4개의 커패시터(c 41-c 44)는 대응하는 NMOS 트랜지스터와 직렬로, 저항(43)과 접지선 GND의 사이에 각각 접속되어 있다. 또한, 인버터(41)는 지연 회로(32)를 인버터(41)의 입력측의 부하로부터 분리하기 위한 것이고, 인버터(42)는 지연 회로(32)를 인버터(42)의 출력측의 부하로부터 분리하기 위한 것이다. 이에 따라, 지연 회로는 저항(43) 및 커패시터(c41-c44)에 의해 그 지연치를 정확히 제어할 수 있다.

도 8에 있어서, 4개의 NMOS 트랜지스터(n 41-n 44)의 게이트에는 퓨즈 회로(34)로부터의 제어 신호가 입력된다. 이 제어 신호에 의해, NMOS 트랜지스터(n 41-n 44)의 온/오프를 제어하여, 저항(43)에 접속되는 커패시터의 갯수를 선택할 수 있게 되어 있다.

이와 같이 커패시터의 갯수를 선택함으로써, 지연 회로(32)의 지연 시간을 조정할 수 있다. 커패시터(c 41-c 44)의 용량치는 각각 동일하여도 좋지만, 1:2:4:8의 비가 되도록 설정할 수도 좋다.

또한, 도 8에 있어서 커패시터 및 NMOS 트랜지스터의 갯수는 4개이지만 그것에 한정되는 것은 아니다.

도 9는 본 발명의 지연 회로(32)의 제2 실시 형태를 나타낸다.

도 9에 있어서, 181-184는 지연 유닛, 185-189는 NAND 게이트, 190 및 191은 CMOS 인버터, 192 및 193은 저항, C190 및 C191은 커패시터를 각각 나타낸다.

지연 유닛(181)은 직렬 접속된 2개의 인버터(190, 191)와, 각각의 인버터의 출력단에 접속된 저항과 커패시터로 이루어진 CR 지연 회로로 구성된다. 또한, 다른 지연 유닛(182-184)도 이 지연 유닛(181)과 동일한 구성을 갖는다. 단지, 도 9에 나타내는 지연 유닛의 구체 회로는 일례로서 도시되어 있을 뿐 이에 한정되는 것은 아니다.

4개의 지연 유닛(181-184)은 직렬로 접속되어 있고, 각 지연 유닛의 출력단에서 4개의 지연 시간이 다른

지연 신호를 얻을 수 있게 되어 있다. 4개의 NAND 게이트(185-188)는 각각 2개의 입력 중 한쪽의 입력이 대응하는 지연 유닛의 출력단에 접속되어, 다른 쪽의 입력이 퓨즈 회로에 접속되어 있다. 또한, NAND 게이트(189)는 상기 4개의 NAND 게이트(185-188)의 출력을 수신하게 된다.

퓨즈 회로에서는 4 비트의 신호가 출력된다. 이 4 비트의 신호 중 1 비트만이 H 레벨이 되고, 남은 3 비트는 L 레벨이 된다. 예컨대, NAND 게이트(185)에 대하여 퓨즈 회로에서 H 레벨의 신호가 출력되면, 지연 유닛(184)의 출력단에 나타나는 지연 신호가 NAND 게이트(185, 189)를 통해 도 5의 펄스화 회로(33)에 출력된다. 한편, 다른 지연 유닛(181-183)의 출력단으로부터의 지연 신호는 각각 대응하는 NAND 게이트(186-188)에 있어서 저지된다.

이와 같이, 퓨즈 회로로부터의 신호에 의해서, 4 종류의 지연량이 다른 지연 신호 중 하나를 선택할 수 있다. 또한, 도 9에 있어서 지연 유닛 및 2 입력 NAND 게이트의 수는 각각 4개이지만, 그 수에 한정되는 것은 아니다.

도 10은 도 5의 활성화 신호 발생 회로의 제1 실시 형태 중 펄스화 회로(33)의 예를 나타낸다.

도 10에 있어서, 51-54는 CMOS 인버터이며, 55는 AND 게이트이다. AND 게이트(55)의 한쪽의 입력 단자는 인버터(51)와 직접 접속되고, 다른 쪽의 입력 단자는 인버터(52-54)를 통해 인버터(51)와 접속되도록 구성되어 있다.

이에 따라, 인버터(51)의 입력 신호가 H 레벨로부터 L 레벨로 천이하면, AND 게이트(55)의 출력은 H가 되며, 계속해서 인버터(52-54)의 지연 시간후에, AND 게이트(55)의 출력은 L이 된다. 이와 같이, 입력 신호의 H 레벨로부터 L 레벨의 천이에 응답하여 H 펄스가 출력된다. 또한, 이 H 펄스의 기간은 인버터(52-54)의 지연 시간의 합과 대응하고 있다.

도 11은 도 5의 활성화 신호 발생 회로의 제1 실시 형태에서 퓨즈 회로(34)의 구체 회로의 예를 나타내고 있다.

도 11에 있어서, 61-68은 퓨즈, n61-n64는 NMOS 트랜지스터, 71-75는 인버터, 80-87은 트랜스퍼 스위치, TEST는 테스트 제어 신호, ts1-ts4는 테스트 설정 신호, fs1-fs4는 지연 설정 신호를 각각 나타내고 있다.

퓨즈(61, 62)는 폴리실리콘 퓨즈이며, 고전원선(Vdd)과 저전원선(Vss)(GND)의 사이에 직렬로 접속된다. 또한, 이들 퓨즈와 직렬로 게이트가 고전원선(Vdd)에 접속된 NMOS 트랜지스터(n61)가 설치되어 있다. 이 트랜지스터(n61)는 퓨즈(61, 62)가 함께 비용단(非溶斷) 상태의 미프로그래밍 상태에 있어서, 퓨즈(61, 62)를 통해 전원선 사이를 흐르는 관통 전류를 억제하기 위한 것으로, 그 내부 저항은 큰 값을 갖고 있다.

프로그래밍시, 퓨즈(61)와 퓨즈(62)중 어느 한쪽이 예컨대 레이저 등의 수단에 의해 용단(溶斷)된다. 이에 따라 0(L) 또는 1(H)이 프로그래밍되며, 퓨즈(61)와 퓨즈(62)의 결절점(結節点)으로부터 지연 설정 신호(ts1)가 출력된다.

퓨즈(63-68) 및 NMOS 트랜지스터(n 62-n 68)도 마찬가지로 구성되며, 결과로서, 퓨즈(61-68)를 프로그래밍함으로써 4 비트의 지연 설정 신호(ts1-ts4)가 생성된다.

한편, ts1-ts4는 테스트 설정 신호이다. 퓨즈(61-68)를 프로그래밍하여 지연 회로(32)의 지연 시간을 설정하기 전에, 이 테스트 설정 신호에 의해 지연 회로(32)의 지연 시간 특성을 측정한다. 퓨즈(61-68)를 일단 프로그래밍하여 버리면, 지연 회로(32)의 지연 시간을 재설정하는 것이 곤란하게 되기 때문에, 퓨즈 프로그래밍 전에 테스트 설정 신호(ts1-4)를 입력하는 것으로 미리 지연 회로(32)의 지연 특성을 측정한다.

이 테스트 설정 신호(ts1-ts4)는 예컨대, 테스트 커맨드를 SDRAM에 부여하는 것과 동시에, 특정한 어드레스 입력 단자에 입력할 수 있다.

테스트 제어 신호(TEST)는 테스트 커맨드에 응답하여 H 레벨이 된다. 80~87은 각각 한쌍의 PMOS 트랜지스터와 NMOS 트랜지스터로 이루어진 트랜스퍼 스위치이다.

테스트 제어 신호 TEST가 H 레벨이 되면, 복수의 트랜스퍼 스위치중, 80, 82, 84 및 86이 온 되고, 81, 83, 85 및 87은 오프된다. 이에 따라 테스트 설정 신호(ts1-ts4)가 지연 회로(32)로 출력된다. 테스트 설정 신호의 값을 바꾸어 지연 회로(32)의 지연 시간을 측정함으로써, 지연 회로(32)의 지연 특성을 얻을 수 있다.

그 후, 테스트 제어 신호를 L 레벨에 복귀하여, 퓨즈(61-68)를 사용하는 최대 클록 주파수, 셋업 시간, 홀드 시간, 지연 회로(32)의 지연 특성 등을 고려하여 적당한 값으로 프로그래밍함으로써, 지연 설정 신호(fs1-fs4)를 각각 트랜스퍼 스위치(81, 83, 85, 87)를 통해 지연 회로(32)에 출력할 수 있다.

도 12는 본 발명의 활성화 신호 생성 회로의 제2 실시 형태를 나타낸다.

도 12의 제2 실시 형태가 도 5의 제1 실시 형태와 다른 점은 제1 실시 형태에서는 퓨즈 회로가 1조 설치된 데 대하여, 제2 실시예에서는 퓨즈 회로가 2조(91, 92)설치되어 있고, 모드 레지스터(93)로 설정되는 CAS 대기 시간의 값에 의해, 퓨즈 회로(91, 92)의 출력 중 어느 한쪽을 선택하여 지연 회로(32)에 공급하도록 구성한 것이다.

그 밖의 구성은 도 5의 제1 실시 형태와 동일하며, 동일한 구성 요소에는 동일한 번호를 붙이고 그 동작 설명은 생략한다.

도 5의 제1 실시 형태에 있어서, 지연 회로(32)의 지연 시간은 예컨대 6 ns에 고정되어 있었다. 이 6 ns라는 지연 시간은 도 7에 있어서 CAS 대기 시간이 3으로 설정된 경우에 있어서, 사용하는 외부 클록 주파수를 최대치인 100 MHz로 한 경우, (어드레스/컨트롤 회로의) 입력 회로의 소비 전류가 최소가 되도록



선택된 것이다.

한편 진술한 바와 같이, 제1 실시 형태에 있어서 지연 회로(32)의 지연 시간을 6 ns로 설정한 상태에서, SDRAM의 사용자가, CAS 대기 시간을 2으로 설정하여, 66 MHz의 외부 클럭을 사용한 경우, 활성화 신호의 활성화 시간은 11 ns가 된다. 이 11 ns라는 활성화 시간은 입력 회로의 최소 활성화 시간  $2\text{ ns} + 2\text{ ns} = 4\text{ ns}$ 와 비교하여 꽤 길고, 11 ns-4 ns=7 ns의 사이, 입력 회로는 쓸데 없는 전류를 소비하고 있게 된다.

그래서, 사용하는 외부 클럭의 최대 주파수는 설정된 CAS 대기 시간의 값에 기초하여 규정되는 것을 이용하고, 제2 실시예에서는 설정된 CAS 대기 시간의 값에 응답하여, 지연 회로(32)의 지연 시간을 선택할 수 있도록 했다.

예컨대, 퓨즈 회로(91)는 도 7의 CAS 대기 시간=3, 최대 클럭 주파수=100 MHz, 셋업 시간= 홀드 시간= 2 ns에 기초하여, 지연 회로(32)의 지연 시간으로서 6 ns를 프로그래밍한다.

한편, 퓨즈 회로(92)는 도 7의 CAS 대기 시간=2, 최대 클럭 주파수=66 MHz, 셋업 시간= 홀드 시간= 2ns에 기초하여, 지연 회로(32)의 지연 시간으로서 11ns를 프로그래밍한다.

그리고, 모드 레지스터(93)에 있어서 CAS 대기 시간이 3으로 설정된 경우, 전환 스위치(94)는 퓨즈 회로(91)의 출력(지연 설정 신호)을 지연 회로(32)에 공급하여, 지연 회로(32)의 지연 시간을 6 ns로 설정한다.

한편, 모드 레지스터(93)에 있어서 CAS 대기 시간이 2 또는 1로 설정된 경우, 전환 스위치(94)는 퓨즈 회로(92)의 출력(지연 설정 신호)을 지연 회로(32)에 공급하여, 지연 회로(32)의 지연 시간을 11 ns으로 설정한다.

본 발명의 제2 실시예에 따르면, CAS 대기 시간이 2일 때(최대 클럭 주파수: 66 MHz)의 활성화 신호의 활성화 시간을 4 ns로 단축할 수 있고, 제1 실시 형태에 비교하여 입력 회로의 소비 전류를 보다 절감시킬 수 있다.

도 13은 도 12의 본 발명의 활성화 신호 발생 회로의 제2 실시예에 있어서의, 퓨즈 회로(91, 92) 및 전환 스위치(94)의 구체 회로의 일례를 나타내고 있다.

퓨즈 회로(91, 92)의 구성은 도 10의 퓨즈(61-68), NMOS 트랜지스터(n 61-n 64)와 같은 구성이다. 또한, 도 13에서 테스트 설정 신호(tsl-ts4)와 지연설정 신호(fsl-fs4)를 전환하기 위한, 트랜스퍼 스위치(80-87) 및 인버터(71-75)의 구성도, 도 11에 기재된 구성과 동일하다.

도 13의 94는 전환 스위치의 구성을 나타내고 있다. 이 전환 스위치는 트랜스퍼 스위치(101-108) 및 인버터(111-115)로 구성되어 있다. 모드 레지스터(83)로부터의 CAS 대기 시간 신호(CL)가 H 레벨의 경우, 복수의 트랜스퍼 스위치 중 101, 103, 105, 107이 온 되어, 퓨즈 회로(91)로부터의 지연 설정 신호가 지연 회로(32)에 출력된다. 또한, CAS 대기 시간 신호(CL)가 L 레벨의 경우, 트랜스퍼 스위치(102, 104, 106, 108)가 선택적으로 온하여, 퓨즈 회로(92)로부터의 지연 설정 신호가 지연 회로(32)에 출력된다.

이와 같이, 퓨즈 회로의 제2 실시 형태는 복수의 퓨즈 회로(91, 92)를 가지고, 모드 레지스터로부터의 CAS 대기 시간 신호의 값에 응답하여, 퓨즈 회로(91)로부터의 지연 설정 신호 또는 퓨즈 회로(92)로부터의 지연 설정 신호 중 어느 하나를 출력한다.

또한, 도 12의 활성화 신호 발생 회로의 제2 실시 형태에서는 2개의 퓨즈 회로(91, 92)를 설치했지만, 도 7의 3 종류의 CAS 대기 시간에 맞춰 3가지의 퓨즈 회로를 설치하여도 좋다.

도 14는 본 발명의 활성화 신호 발생 회로의 제3 실시 형태를 나타낸다.

도 5의 활성화 신호 발생 회로의 제1 실시 형태에서는 지연 회로(32)의 지연 시간이 고정되어, 사용하는 외부 클럭의 주파수에 응답하여, 활성화 신호(EN)의 활성화 시간이 변화한다. 한편, 도 14의 제3 실시 형태에서는 활성화 신호(EN)의 활성화 시간이 사용하는 외부 클럭의 주파수에 상관없이 일정하게 되도록 제어된다. 따라서, 본 발명의 활성화 신호 발생 회로의 제3 실시 형태에 의하면, (어드레스/컨트롤) 입력 회로의 활성화 시간을 외부 클럭의 주파수에 상관없이 최적화할 수 있으며, 입력 회로의 소비 전류를 제1 및 제2 실시 형태보다도 더욱 절감할 수 있다.

도 14의 활성화 신호 생성 회로는 가변 지연 회로(121), 프로그래머블 지연 회로(122), 더미 클럭 버퍼(123), 위상 비교부(124), 지연 제어 회로(125), 지연 회로(126), OR 게이트(127), 인버터(128) 및 퓨즈 회로(34)로 구성된다.

또한, 프로그래머블 지연 회로(122)는 인버터(131, 132), 저항(133), NMOS 트랜지스터(n 141-n 144) 및 커패시터(c 141-c 144)로 구성된다.

가변 지연 회로(121)는 클럭 버퍼로부터의 내부 클럭(iclk)을 소정 시간 지연시킨다. 가변 지연 회로의 지연 시간은 외부 클럭(CLK)의 주파수에 응답하여 변화된다. 이 가변 지연 회로의 지연 시간은 후술의 프로그래머블 지연 회로(122), 더미 클럭 버퍼(123), 위상 비교부(124) 및 지연 제어 회로(125)에 의해 제어된다.

프로그래머블 지연 회로(122)는 가변 지연 회로(121)의 출력 신호(EN1)를 소정 시간 지연시켜, 지연 클럭(dclk)을 생성한다. 프로그래머블 지연 회로(122)의 지연 시간은 퓨즈 회로(34)로부터의 설정 신호에 의해 프로그래밍 가능하다. 그리고 이 프로그래머블 지연 회로(122)의 지연 시간은 SDRAM의 입력 회로의 셋업 시간과 거의 동일하게 되도록 프로그래밍된다. 또한, 프로그래머블 지연 회로(122)의 구성은 도 8의 지연 회로의 제1 실시 형태와 거의 동일하기 때문에, 그 동작 설명은 생략한다.

더미 클럭 버퍼(123)는 지연 클럭(dclk)을 버퍼링하여 지연 내부 클럭(diclk)을 출력한다. 더미 클럭 버퍼(123)는 외부 클럭(CLK)을 버퍼링하여 내부클럭(iclk)을 생성하는 도 3의 클럭 버퍼(11)와 동일한 지연 시간을 갖는다. 이 때문에, 더미 클럭 버퍼(123)의 회로 구성은 클럭 버퍼(11)와 같은 회로 구성을 갖는

다.

위상 비교부(124)는 내부 클록(iclk)과 더미 클록 버퍼로부터의 지연 내부 클록(diclk)의 위상을 비교한다. 그 위상 비교 결과는 지연 제어 회로(125)에 보내어진다. 지연 제어 회로(125)는 내부 클록(iclk)의 위상과 지연 내부 클록(diclk)의 위상이 일치하도록 가변 지연 회로(121)의 지연 시간을 제어한다.

지연 회로(126)는 가변 지연 회로(121)의 출력 신호(EN1)를 소정 시간 지연하여 지연 활성화 신호(dEN1)를 생성한다. 이 지연 회로(126)의 지연 시간은 활성화 신호(EN)가 입력 회로의 홀드 시간 동안 활성화 상태를 유지하도록 설정된다.

OR 게이트(127)는 가변 지연 회로(121)로부터의 출력 신호(EN1)와 지연 회로(126)로부터의 지연 활성화 신호(dEN1)를 합성한다. 즉, 출력 신호(EN1)의 활성화 기간을 지연 회로(126)의 지연 시간만큼 늘리는 동작을 행한다.

그리고 이 OR 게이트(127)의 출력 신호가 입력 회로에 대한 활성화 신호(EN)가 된다. 또한, 인버터(128)는 활성화 신호(EN)의 논리 레벨을 반전하여 반전 활성화 신호/EN을 생성하기 위한 것이다.

도 15는 도 14의 활성화 신호 발생 회로의 타이밍도이다. 이하, 이 도 15를 이용하여, 도 14의 활성화 신호 발생 회로의 동작을 설명한다.

클록 버퍼(11)(도 3 참조)는 외부 클록(CLK)을 버퍼링하여 소정의 지연 시간 후, 내부 클록(iclk)을 출력한다. 가변 지연 회로(121)는 내부 클록(iclk)을 소정 시간 지연시켜 활성화 클록 신호(EN1)를 생성한다. 이 활성화 클록(EN1)이 L 레벨로부터 H 레벨에 상승하면, 활성화 신호(EN)는 비활성 상태에서부터 활성 상태로 천이한다.

한편, 프로그래머블 지연 회로(122)는 활성화 클록(EN1)을 입력 회로의 셋업 시간 상당분만큼 지연시켜 지연 클록(dclk)을 생성한다. 또한, 더미 클록 버퍼(123)는 지연 클록(dclk)을 클록 버퍼(11)와 동일한 지연 시간만큼 지연시켜 지연 내부 클록(diclk)을 발생한다.

위상 비교 회로부(124)는 내부 클록(iclk)과 지연 내부 클록(diclk)의 위상을 비교한다. 그 비교 결과는 지연 제어 회로(125)에 전송된다. 지연 제어 회로(125)는 내부 클록(iclk)의 위상과 지연 내부 클록(diclk)의 위상이 일치하도록 가변 지연 회로(121)의 지연량을 제어한다.

이 활성화 신호 발생 회로의 제3 실시 형태에 의해, 외부 클록의 클록 주기(tCLK)는 클록 버퍼(더미 클록 버퍼)에 있어서의 지연 시간(t1-t0), 가변 지연 회로(121)에 있어서의 지연 시간(t2-t1)과 프로그래머블 지연 회로(122)에 있어서의 지연 시간(t3-t2)의 합계와 같이 되도록 제어된다.

프로그래머블 지연 회로(122)의 지연 시간과 더미 클록 버퍼(123)의 지연 시간은 고정이다. 그리고, 프로그래머블 지연 회로(122)의 지연 시간을 입력 신호의 셋업 시간과 동일하게 프로그래밍하여, 더미 클록 버퍼의 지연 시간이 입력 회로의 홀드 시간과 같다고 한다면, 활성화 클록(EN1)의 활성화 기간(H 레벨의 기간)은 입력 회로의 셋업 시간과 홀드 시간의 합계와 같게 되어, 이 활성화 클록(EN1)의 활성화 기간은 외부 클록(CLK)의 주기에 상관없이 일정해진다. 즉, 외부 클록 CLK의 주파수가 변화되면, 가변 지연 회로(121)의 지연 시간은 그에 따라서 변화되지만, 프로그래머블 지연 회로(122)의 지연 시간과 더미 클록 버퍼(123)의 지연 시간은 변화하지 않기 때문에, 활성화 클록(EN1)의 활성화 기간은 외부 클록의 주파수에 상관없이 일정하게 된다.

또, 클록 버퍼의 지연 시간이 입력 회로의 홀드 시간과 같거나 또는 그것보다도 긴 경우에는 도 13의 지연 회로(126) 및 OR 게이트(127)는 불필요하다. 한편, 클록 버퍼의 지연 시간이 입력 회로의 홀드 시간보다도 짧은 경우, 활성화 클록(EN1)의 외부 클록 상승 후의 활성화 기간이 입력 회로의 홀드 시간보다 줄어들기 때문에, 이 활성화 클록(EN1)의 활성화 기간을 연장시키기 위해서, 지연 회로(126)와 OR 게이트(127)를 설치할 필요가 있다.

지연 회로(126)는 외부 클록의 상승 타이밍으로부터 홀드 시간 상당의 시간 동안 활성화 신호가 활성화 상태(H 레벨)를 유지할 수 있도록, 활성화 클록(EN1)을 소정 시간 지연시켜, 지연 활성화 신호(dEN1)를 생성한다. OR 게이트(128)는 활성화 클록(EN1)과 지연 활성화 신호(dEN1)를 합성하여, 활성화 클록(EN1)의 활성화 기간을 연장하여, 활성화 신호(EN)를 출력한다.

도 16은 본 발명의 입력 버퍼의 제2 실시예를 나타낸다.

도 4의 제1 실시 형태에 있어서, 입력 회로(21)는 CMOS 인버터로 구성되어 있지만, 도 15의 제2 실시 형태에 있어서, 입력 회로(151)는 전류 미러부 차동 회로에서 구성되어 있다. 또, 래치 회로(22)에 대해서는 제1 실시 형태와 같은 구성을 갖는다.

도 16과 같은 제2 실시 형태의 입력 버퍼는 입력 신호(어드레스, 컨트롤, 데이터)가 SSTL 레벨 등, 소전류인 경우에 적용된다. 입력 신호가 1V 이하의 소전류인 경우, 입력 버퍼로 그것을 증폭하여, 내부 논리 회로가 동작 가능한 CMOS 레벨의 신호로 변환할 필요가 있다.

입력 회로(151)는 PMOS 트랜지스터(P 161-P 163) 및 NMOS 트랜지스터(n 161-n 163)로 구성되어 있다.

NMOS 트랜지스터(n 162, n 163)는 소스가 서로 공통 접속되어, 차동 회로를 구성하고 있다. NMOS 트랜지스터(n 162)의 게이트는 입력 단자에 접속되어 입력 신호가 인가된다. 또한, NMOS 트랜지스터(n 163)의 게이트에는 기준 전압(Vref)이 인가된다.

PMOS 트랜지스터(P 162, P 163)는 전류 미러 회로를 구성하고 있다. 또한, NMOS 트랜지스터(n 161)는 차동 회로와 저전원선(Vss)의 사이에 설치되어, 활성화 신호(EN)에 의해 제어되는 전원 스위치이다. 또한, PMOS 트랜지스터(P 161)는 전류 미러 회로와 고전원선(Vdd)과의 사이에 설치되어, 반전 활성화 신호(/EN)에 의해 제어되는 전원 스위치이다.

도 16의 입력 버퍼의 제2 실시 형태에 있어서도, 고전원선(Vdd)과 출력 노드(n-01), 및 저전원선(Vss)과

출력 노드(n-01)의 사이에 각각 전원 스위치(P 161, n 161)가 설치되기 때문에, 입력 회로(151)가 비활성 상태일 때, 전원선과 출력 노드(n-01)와의 사이에 전류가 흐르는 것이 방지되어, 소비 전류를 적게 할 수 있다.

도 17은 본 발명의 입력 버퍼의 제3 실시 형태를 나타낸다.

도 18의 제2 실시 형태와의 차이점은 입력 회로(171)에 전원 스위치(P 161)를 설치하고 있지 않은 것과 입력 회로(171)와 래치 회로(22)의 사이에 한쌍의 PMOS 트랜지스터(P 173) 및 NMOS 트랜지스터(n 172)로 이루어진 트랜스퍼 스위치를 설치하는 것이다.

도 16의 제2 실시예의 입력 회로(151)에서는 고전원선(Vdd)과 출력 노드(n-01)의 사이에 PMOS 트랜지스터(P 161, P 162)가 직렬로 접속되어 있다. 따라서, PMOS 트랜지스터(P 161, P 162)가 갖는 내부 저항에 의해 입력 회로(151)의 출력 노드(n-01)의 H 레벨은 Vdd 보다도 약간 낮은 값이 된다.

따라서, 출력 노드(n-01)가 H 레벨의 상태에서, 입력 회로(151)가 비활성화되어, 래치 회로(22)가 래치 동작을 개시하면, Vdd→P13→P14→n-01의 경로로 전류가 흘러 버리고, 소비 전류의 증대로 이어진다.

한편, 도 17의 제3 실시 형태에서는 도 15의 전원 스위치(P 161)를 설치하고 있지 않기 때문에, 출력 노드(n-01)의 H 레벨은 도 16의 예와 비교하여 높아진다. 따라서, 래치 동작 개시시에 Vdd+P13+P14+n-01의 경로로 흐르는 전류량을 절감할 수 있다.

또한, 입력 회로(171)와 래치 회로(22)의 사이에, PMOS 트랜지스터(P 173) 및 NMOS 트랜지스터(n 172)로 이루어진 트랜스퍼 스위치를 설치하여, 래치 회로(22)의 래치 동작 개시시에 이 트랜스퍼 스위치를 오픈함으로써, 래치 회로(22)의 래치 동작 개시시에, 고전원선(Vdd)에서 입력 회로(171)를 통해 래치 회로(22)의 입력 노드(n-01)에 전류가 유입되는 일이 없다.

또한, 도 17의 예에서는 입력 회로(171)와 트랜스퍼 스위치는 함께, 활성화 신호(EN)에 의해 공통으로 제어되어 있지만, 트랜스퍼 스위치를 활성화 신호(EN)와는 별도의 제어 신호로 제어하여도 좋다. 그 경우, 제2 인버터(24)의 출력은 활성화 신호(EN)가 활성 상태가 되거나, 트랜스퍼 스위치가 온 상태가 되는 상태 중에서 적어도 하나의 상태일 때 하이 임피던스 상태가 되도록 제어된다.

이상과 같이, 도 17의 입력 버퍼의 제3 실시 형태에 따르면, 제2 실시 형태보다도 더욱 입력 버퍼의 소비 전류를 적게 할 수 있다.

#### 발명의 효과

이상 설명과 같이, 본 발명에 따르면, 입력 회로의 활성화 시간을 외부 클록(CLK)의 1주기보다도 짧은 시간으로 하고 입력 회로의 셋업 시간 및 홀드 시간과 동일한 시간 또는 그것을 포함하는 시간으로 한정할 수 있기 때문에, 종래보다도 소비 전류가 적은 입력 회로를 얻을 수 있다.

예컨대, 도 5의 제1 실시 형태에 있어서, 지연 회로의 지연 시간을 6 ns로 하여 사용 외부 클록 주파수를 100 MHz(클록 주기: 10 ns)로 하면 입력 회로의 활성화 시간을 외부 클록 1주기당 종래의 10 ns에서 4 ns로 삭감할 수 있다.

#### (5) 청구의 범위

**청구항 1.** 클록 신호에 동기하여 입력 신호를 수취하는 클록 동기형의 반도체 집적 회로에 있어서, 활성화 신호에 의해 활성화되어 상기 입력 신호를 수취하는 입력 회로와;

상기 활성화 신호를 생성하는 활성화 신호 발생 회로를 구비하며,

상기 활성화 신호 발생 회로는, 상기 클록 신호의 주기보다 짧고, 상기 입력 회로의 셋업 시간 및 홀드 시간에 대응하는 시간을 포함하는 기간동안, 간헐적으로 상기 활성화 신호를 활성 상태로 하여 상기 입력 회로를 활성화하는 것을 특징으로 하는 반도체 집적 회로.

**청구항 2.** 제1항에 있어서, 상기 입력 회로의 출력에 접속되고, 상기 클록 신호에 응답하여 상기 입력 신호를 래치하는 래치 회로를 더 구비하는 것인 반도체 집적 회로.

**청구항 3.** 제2항에 있어서, 상기 활성화 신호가 비활성 상태일 때, 상기 입력 회로의 출력은 하이·임피던스 상태가 되는 것인 반도체 집적 회로.

**청구항 4.** 제3항에 있어서, 상기 래치 회로는,

입력이 상기 입력 회로에 접속된 제1 인버터와;

입력 및 출력이 각각 상기 제1 인버터의 출력 및 입력에 교차 접속되고, 상기 활성화 신호에 응답하여 동작하는 제2 인버터로 구성되며,

상기 활성화 신호가 활성 상태일 때, 상기 제2 인버터의 출력은 하이·임피던스 상태가 되는 것인 반도체 집적 회로.

**청구항 5.** 제2항에 있어서, 상기 입력 회로와 상기 래치 회로의 사이에 설치된 스위치를 더 구비하며, 상기 래치 회로는,

입력이 상기 스위치를 통해 상기 입력 회로에 접속된 제1 인버터와;

입력 및 출력이 각각 상기 제1 인버터의 출력 및 입력에 교차 접속되며, 상기 활성화 신호에 응답하여 동작하는 제2 인버터로 구성되며,

상기 활성화 신호가 활성 상태일 때, 상기 제2 인버터의 출력은 하이·임피던스 상태가 되는 것인 반도체 집적 회로.

청구항 6. 제1항에 있어서, 상기 활성화 신호 발생 회로는 상기 클럭 신호에 기초하여 상기 활성화 신호를 생성하고, 상기 입력 회로의 상기 셋업 시간전에 상기 활성화 신호를 상기 활성 상태로 천이시키는 것인 반도체 집적 회로.

청구항 7. 제6항에 있어서, 상기 활성화 신호 발생 회로는,

상기 클럭 신호를 버퍼링한 내부 클럭 신호에 동기하여 상기 활성화 신호를 비활성 상태로 천이시키고, 세트 신호에 응답하여 상기 활성화 신호를 상기 활성 상태로 천이시키는 활성화 신호 래치 회로와;

상기 활성화 신호를 소정 시간 지연시키는 제1 지연 회로와;

상기 제1 지연 회로의 출력의 천이에 따라 펄스 신호를 상기 세트 신호로 하여 상기 활성화 신호 래치 회로에 출력하는 펄스화 회로를 포함하는 것인 반도체 집적 회로.

청구항 8. 제7항에 있어서, 상기 제1 지연 회로의 지연 시간은 프로그래밍 가능한 것인 반도체 집적 회로.

청구항 9. 제8항에 있어서, 상기 제1 지연 회로의 상기 지연 시간은 CAS 대기 시간에 응답하여 전환 가능한 것인 반도체 집적 회로.

청구항 10. 제6항에 있어서, 상기 활성화 신호 발생 회로는,

상기 클럭 신호를 버퍼링한 내부 클럭 신호를 소정 시간 지연시킨 타이밍 신호를 출력하는 가변 지연 회로와;

상기 타이밍 신호를 상기 셋업 시간에 대응한 시간 지연시키는 제2 지연 회로와;

상기 제2 지연 회로의 출력을 버퍼링하는 더미 클럭 버퍼와;

상기 내부 클럭과 상기 더미 클럭 버퍼의 출력의 위상을 비교하는 위상 비교부와;

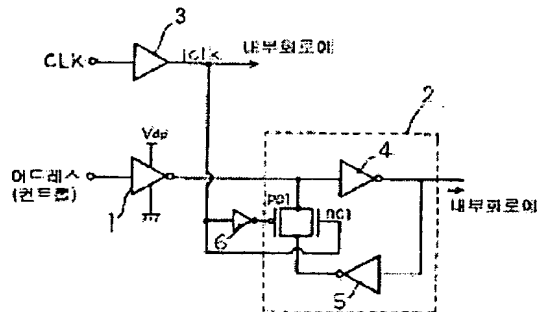
상기 위상 비교부의 비교 결과에 기초하여 상기 가변 지연 회로의 지연 시간을 제어하는 지연 제어 회로를 포함하고,

상기 타이밍 신호로부터 상기 활성화 신호를 생성하는 것인 반도체 집적 회로.

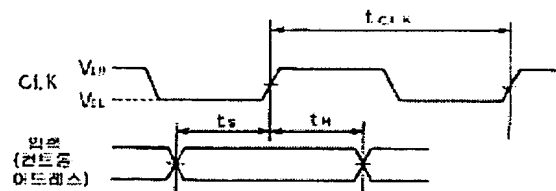
청구항 11. 제1항에 있어서, 상기 입력 신호는 어드레스 신호, 컨트롤 신호 또는 데이터 신호 중 적어도 어느 하나인 것인 반도체 집적 회로.

도면

도면1

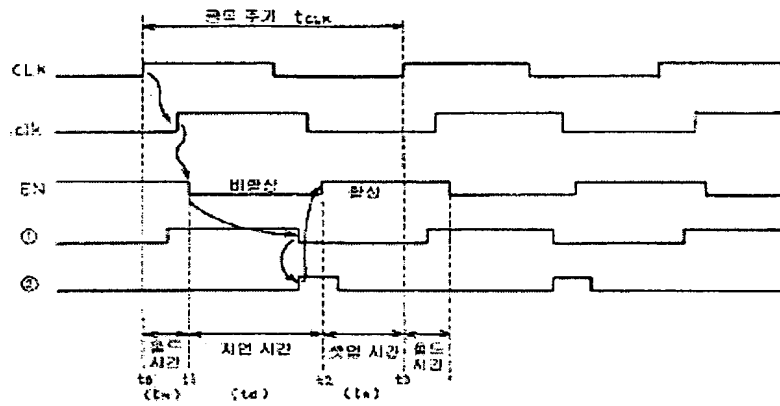


도면2





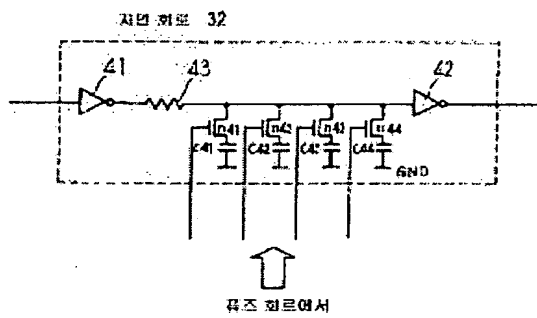
도 26



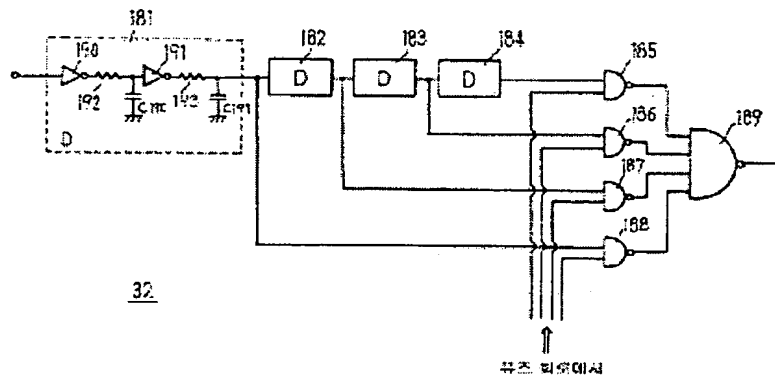
도 27

CL	t <sub>clk</sub>		t <sub>s</sub>	t <sub>h</sub>
CAS 대기 시간	최대 클럭 주파수	최소 클럭 주기	설정 시간	홀드 시간
1	33	30	2	2
2	66	15	2	2
3	100	10	2	2
	(MHz)	(ns)	(ns)	(ns)

도 28



509



END

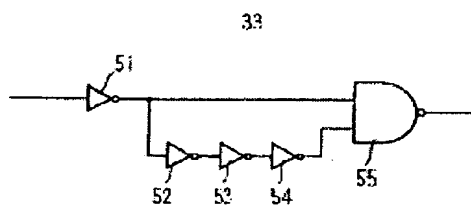
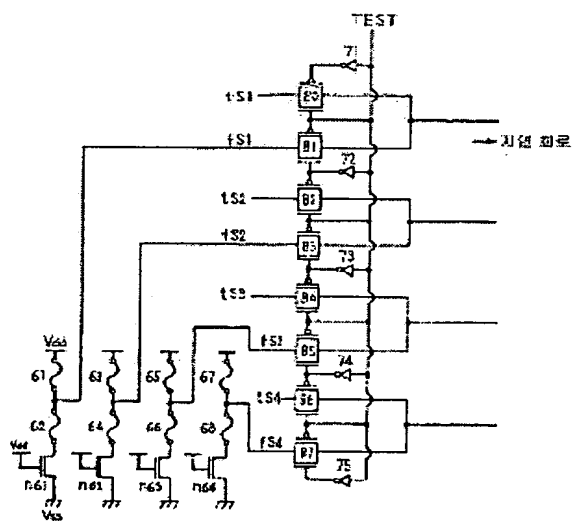
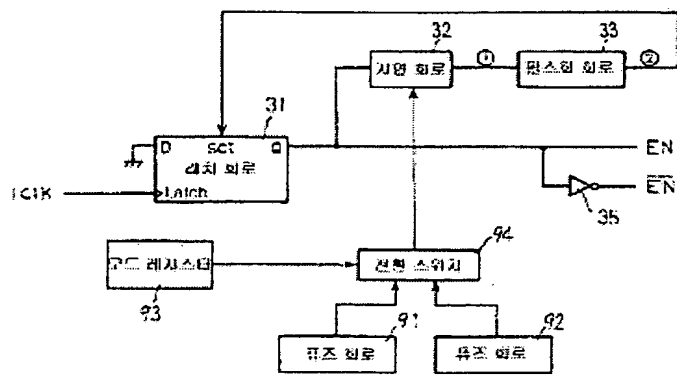


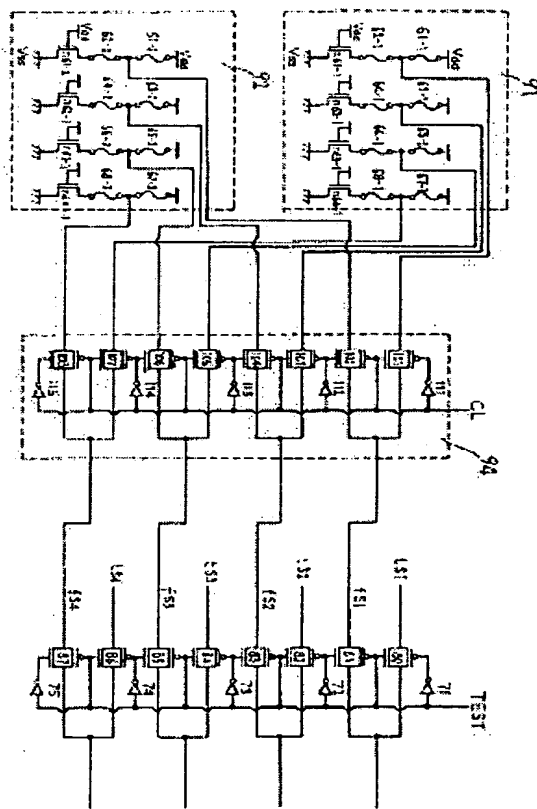
도표 11



도면 12

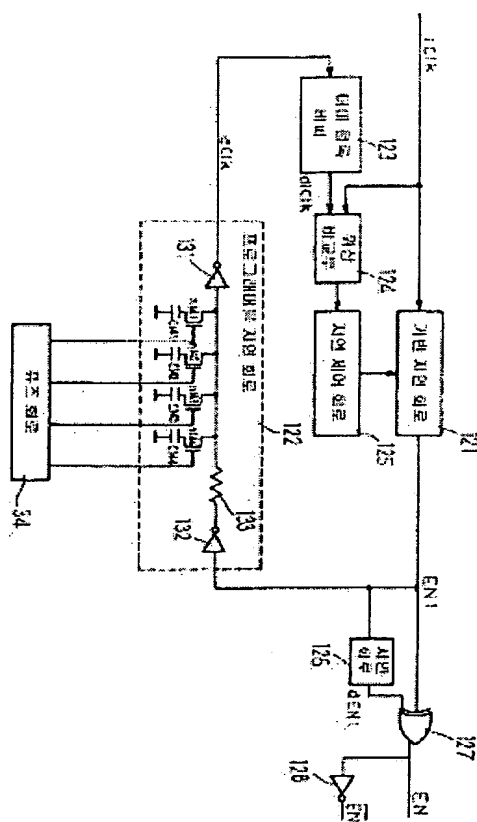


도면 13

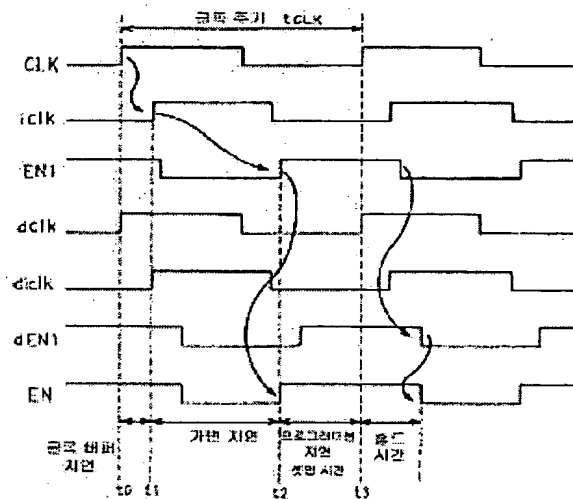




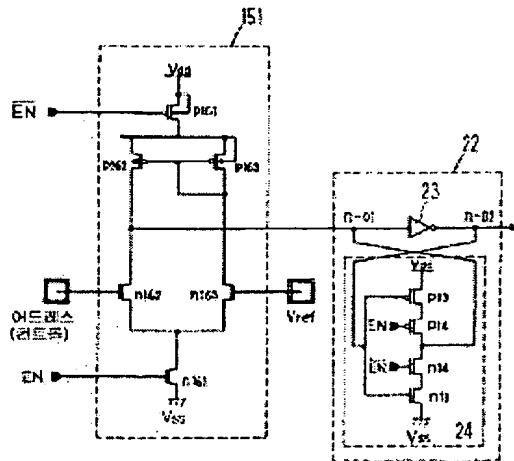
5014



**END**



도면 10



도면 17

